

# Реконфигурируемые вычислительные системы

Каляев И.А., Левин И.И., Семерников Е.А.

## Введение

Во многих технических системах необходимо использование высокопроизводительных и компактных вычислителей в бортовом исполнении. Бортовое исполнение накладывает дополнительные требования к таким характеристикам вычислительных средств, как устойчивость к механическим воздействиям, малая рассеиваемая мощность, компактность при высокой производительности [1].

Известно, что наилучшими характеристиками производительности и компактности обладают специализированные вычислители [2, 3]. Однако узкая направленность специализированных систем приводит к неоправданно высокой стоимости, что негативно сказывается на их эффективности – отношению стоимости к производительности. Это является следствием специализации на ограниченный набор задач.

Использование универсальных микропроцессоров для решения некоторых задач, в том числе и некоторых задач навигации, управления движением, цифровой обработки сигналов не всегда рационально, поскольку высокопроизводительные микропроцессоры потребляют большую мощность и поэтому для них необходимы громоздкие системы отвода тепла, а маломощные микропроцессоры не обеспечивают необходимой производительности [10, 11].

В свете обозначенных выше проблем можно рассмотреть использование при решении подобных задач вычислительных средств, которые построены на программируемых логических интегральных схемах. Это так называемые многопроцессорные вычислительные системы на основе реконфигурируемой элементной базы или иначе – реконфигурируемые вычислительные системы (РВС). Теория построения РВС была создана в НИИ многопроцессорных вычислительных систем имени академика А.В. Каляева Южного федерального университета (НИИ МВС ЮФУ) и развивается более двадцати лет [3, 4, 9].

За эти годы были созданы не только теоретические основы и принципы построения РВС, но реализованы множество проектов, которые направлены как на использование в бортовых системах, так и на создание вычислительной техники сверхвысокой производительности – суперЭВМ.

## Основы теории РВС

Основные положения теории построения РВС были сформулированы академиком А.В. Каляевым в середине 80-х годов прошлого века и развиваются в НИИ МВС ЮФУ по настоящее время. И хотя основные аспекты этой теории касаются построения РВС высокой и сверхвысокой производительности ее положения могут использоваться так же для построения малогабаритных и бортовых навигационных систем и систем управления движением. Рассмотрим некоторые положения теории построения РВС.

В отличие от традиционных методов организации параллельных вычислений РВС ориентируются на абсолютно параллельную форму алгоритма задачи – ее информационный граф. Под информационным графом [2]

понимается граф, вершины которого соответствуют арифметико-логическим операциям над операндами или ячейками (каналами) памяти, в которых расположены информационные массивы. Дуги информационного графа соответствуют информационной зависимости между вершинами. Если существует направленная дуга, соединяющая вершину  $a$  с вершиной  $b$ , то это означает, что результат операции, соответствующий вершине информационного графа  $a$ , является входным операндом операции, соответствующей вершине  $b$ . Вершины, соответствующие каналам памяти, в которых располагается входная и выходная информация, являются входными и выходными вершинами информационного графа. Информационные графы больших и сложных задач могут содержать миллионы вершин.

Идея концепции построения РВС заключается в аппаратной реализации всех операций, предписанных вершинами информационного графа задачи, всех каналов передачи данных между вершинами, соответствующих дугам графа, и всех информационных каналов, соответствующих входным и выходным вершинам. В этом случае задача, определенная информационным графом, будет выполнена максимально быстро, поскольку обеспечивается максимально возможное распараллеливание вычислений. Такое решение задачи принято называть *структурным* [4, 9].

В то же время следует отметить, что аппаратный ресурс любой, даже самой высокопроизводительной вычислительной системы, ограничен. Такие ограничения диктуются, как правило, экономическими соображениями, направленными на уменьшение стоимости вычислительных систем.

Ограниченность аппаратного ресурса приводит к тому, что для больших задач весь информационный граф не может быть отображен в аппаратуре РВС. В этом случае информационный граф сегментируется на фрагменты – непересекающиеся базовые подграфы, физически реализуемые в аппаратуре РВС, а решение большой задачи выполняется *структурно-процедурным* способом, при котором на ресурс РВС поочередно отображаются базовые подграфы информационного графа, и вычисления в соответствии с отображенным подграфом выполняются структурно, а смена подграфов выполняется процедурно [4, 9].

В простейшем случае структурно-процедурный вычислительный процесс в РВС организуется следующим образом. В аппаратном ресурсе РВС реализуется один из базовых подграфов сегментированного информационного графа задачи и на его входы из блоков памяти подаются входные данные этого фрагмента. Процесс вычисления реализуется вычислительной структурой, соответствующей данному подграфу, и на выходе формируется результат вычислений, который запоминается в соответствующих блоках памяти. Далее в аппаратном ресурсе РВС реализуется следующий базовый подграф сегментированного информационного графа задачи, и процесс повторяется. Этот процесс показан на рис. 1.

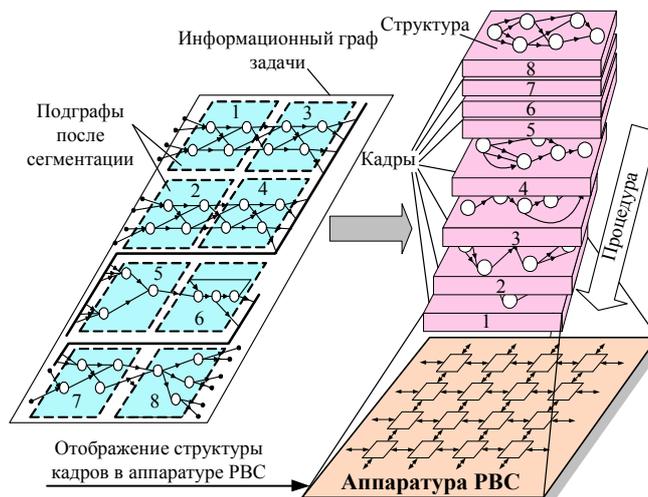


Рис. 1. Процесс решения задачи в PBC

PBC со структурно-процедурной организацией вычислений является гибридом фон-неймановской архитектуры и архитектуры потока данных. Такая организация вычислений обеспечивает детерминизм выполнения программы, что в общем случае недостижимо в многопроцессорных системах, построенных по традиционной мультипроцедурной архитектуре (кластерные MBC). При этом обеспечивается также и высокая эффективность параллельных вычислений на широком классе задач.

Особенность архитектуры PBC заключается в том, что в процессе конструирования она не формируется окончательно, а остается в определенном смысле незавершенной и открытой. Окончательное программирование архитектуры PBC включает создание функциональных узлов (элементарных процессоров) для выполнения вычислений, настройку прямых информационных каналов между элементарными процессорами, настройку блоков распределенной памяти на реализацию процедур чтения и записи информационных массивов. Аппаратно-программные средства PBC позволяют синтезировать произвольные соединения между компонентами системы, создавая необходимые вычислительные структуры. Совокупность вычислительных структур, созданных в рамках базовой архитектуры PBC, образуют виртуальный проблемно-ориентированный вычислитель, структура которого адекватна информационному графу (подграфу) решаемой задачи [4, 9].

### Примеры реализации PBC

Опираясь на эту концепцию, в 80-е-90-е годы в НИИ MBC ЮФУ был создан целый ряд вычислительных систем с реконфигурируемой структурой, которые представляли собой первые шаги на пути практического становления данного направления вычислительной техники. Для этого в НИИ MBC ЮФУ были разработаны и серийно выпускались промышленностью несколько СБИС: специальные конвейерные микропроцессоры 1815ВФ3, программируемые матричные коммутаторы – 1509КП1, 1029КП2 ортогональная регистровая память – 1517ИР1 и 1517ИР2, ряд микросхем на основе базовых матричных кристаллов (БМК) МК4.К601ВЖ3.

Ряд бортовых систем, построенных на принципах реконфигурируемой структуры, был ориентирован на работу в составе систем самонаведения высокоскоростных малогабаритных объектов. На рис.2 показаны некоторые малогабаритные образцы изделий, созданные в НИИ МВС в разные годы для обработки сигналов в системах самонаведения – «Символ-4», «МПВК-20».

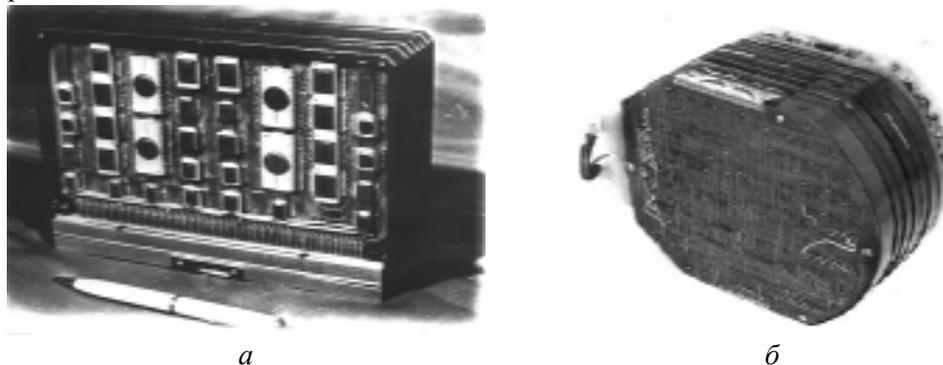


Рис. 2. Бортовые системы «Символ-4» а, «МПВК-20» б

Изделия «Символ-4» (1983 г.) и «МПВК-20» (1990 г.) представляли собой многопроцессорные вычислители производительностью  $20 \cdot 10^6$  оп/с в объеме менее  $1,5 \text{ дм}^3$ , выполненные на отечественной элементной базе, причем часть СБИС была разработана в НИИ МВС. Это микросхемы полнодоступного матричного коммутатора  $16 \times 16$  1509КП1, микропроцессора 1815ВФ3 и ортогональной регистровой памяти 1517ИР1 и 1517ИР2. Изделие «МПВК-20» создавалось на основе БМК МК4.К601ВЖ3 с помощью которых были реализованы основные вычислительные узлы. Переход на БМК позволил существенно снизить мощность изделия и расширить его функциональные возможности при сохранении габаритов. Оба изделия построены на основе принципов реконфигурируемой структуры и позволяли настраивать структуру вычислителя на решаемую задачу, что в свою очередь обеспечивало лучшие характеристики эффективности и компактности для изделий на основе отечественной элементной базы того времени. В то же время использование в качестве обрабатываемого элемента СБИС микропроцессоров 1815ВФ3 ограничивало возможности перестройки структуры систем только на уровне коммутации каналов передачи данных между ними.

Помимо описанных выше малогабаритных вычислителей, в НИИ МВС ЮФУ создавались и высокопроизводительные вычислительные системы, основанные на принципах реконфигурирования структуры, которые предназначались для работы в составе бортовых наземных средств обработки навигационной информации и цифровой обработки сигналов.

В 1991 году была успешно завершена ОКР по созданию проблемно-ориентированной вычислительной системы с реконфигурируемой архитектурой «Трасса», выполненная в интересах ЦКБ «Алмаз» (г. Москва). Изделие «Трасса» представляет собой многопроцессорную вычислительную систему с реконфигурируемой архитектурой, ориентированную на решение сильно связанных задач и, в частности, на цифровую обработку радиолокационной информации в целях обнаружения, сопровождения воздушных объектов, мониторинга воздушной обстановки и формирования трасс движения

воздушных объектов в реальном масштабе времени. Общий вид изделия «Трасса» показан на рис.3.

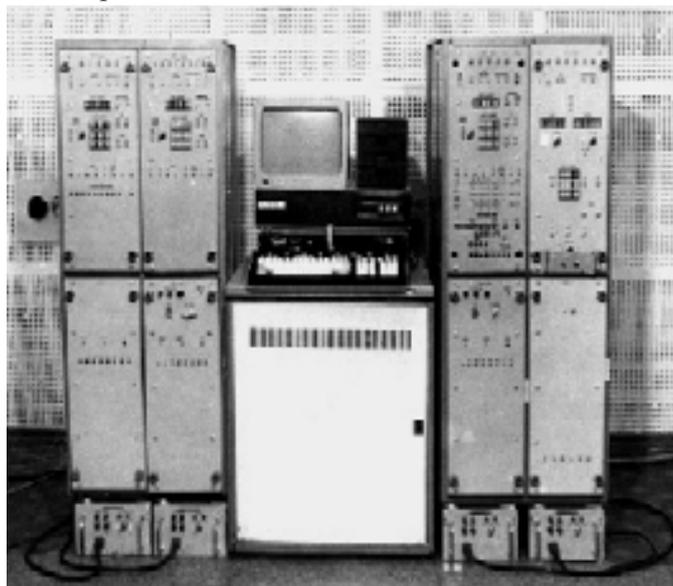


Рис. 3. Общий вид изделия «Трасса»

В изделии была применена сегментированная память специальной структуры, организация которой позволяла нескольким реконфигурируемым блокам работать над одной сильно связанной задачей. При этом бесконфликтный обмен данными выполнялся в темпе обработки и на фоне работы вычислительных блоков, не снижая их производительности.

Изделие «Трасса» было построено исключительно на отечественных микросхемах и включало 512 микропроцессоров 1815ВФ3, 350 коммутаторов 1509КП1 и десятки микросхем 1517ИР1, что позволило обеспечить производительность 460 миллионов операций в секунду. При проектировании изделия использовались принципы структурной организации вычислений, распределенная память, асинхронный принцип управления потоками данных.

В 2000 году была успешно завершена ОКР по созданию проблемно-ориентированной вычислительной системы с реконфигурируемой архитектурой «Модуль-8» в интересах НПО «Антей» (г. Москва). Изделие «Модуль-8» представляет собой многопроцессорную вычислительную систему с реконфигурируемой архитектурой в бортовом исполнении, ориентированную на цифровую обработку сигналов в реальном масштабе времени. Изделие «Модуль-8», общий вид которого показан на рис.4, было выпущено в количестве 3-х опытных образцов.

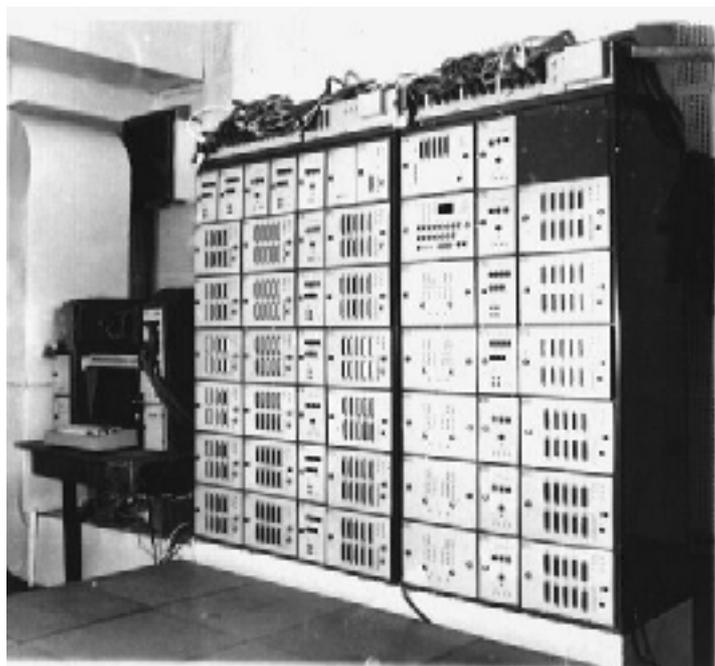


Рис. 4. Общий вид изделия «Модуль-8»

Изделие «Модуль-8» так же, как и «Трасса» построено исключительно на отечественных микросхемах и предназначалось для использования в составе радиолокатора с цифровым синтезированием апертуры в качестве цифрового приемника в режимах селекции движущихся целей, их сопровождения и в режимах картографирования земной поверхности. Для обеспечения заданной точности решения поставленных задач изделие «Модуль-8» решало так же задачи по электронной компенсации отклонений фазового центра антенны относительно центра масс авиационного носителя.

Для обеспечения реального режима времени в режимах селекции целей и картографирования в изделии были использованы 2048 микропроцессоров 1815ВФ3, 1450 коммутаторов 1029КП2, и сотни 1517ИР2, что позволило получить производительность 1840 миллионов операций в секунду. При проектировании изделия применялись принципы структурно-процедурной организации вычислений, распределенная память, асинхронный принцип управления потоками данных.

Изделие «Модуль-8» успешно прошло государственные испытания в 2001 году в составе сложного радиолокационного комплекса.

Реконфигурируемость архитектуры изделий «Трасса» и «Модуль-8» была реализована на нескольких уровнях:

- на уровне перестройки решающих полей вычислительных блоков путем структурной реализации алгоритмов цифровой обработки сигналов;
- на уровне управления группами блоков, причем любой блок мог подключаться к работе над различными участками алгоритмов для выравнивания вычислительной нагрузки в различных этапах обработки двумерных массивов радиолокационной информации;
- на системном уровне для реализации различных режимов обработки данных, а также с целью обхода неисправных блоков.

Изделия «Трасса» и «Модуль-8» имели встроенную систему контроля с локализацией неисправностей до сменного узла и возможность реконфигурации с целью обхода неисправных блоков. При этом изделия сохраняли работоспособность с меньшей производительностью.

### **Элементная база современных РВС**

Долгое время развитие РВС сдерживалось отсутствием соответствующей элементной базы для их создания. РВС, построенные на основе описанных выше комплектов микросхем, лишь частично соответствовали разработанной концепции, поскольку в них реализовывались не все ее положения. Полномасштабная же реализация РВС требует наличия принципиально другой элементной базы, удовлетворяющей следующим основным критериям:

- высокой степени интеграции, позволяющей реализовать крупные фрагменты вычисленных структур;
- сравнительно низкой стоимости даже при мелкосерийном производстве вычислительных систем;
- возможности аппаратной реализации специальных вычислительных структур;
- возможности реализации различных типов распараллеливания вычислений;
- возможности реконфигурации сформированных вычислительных структур при переходе от одних алгоритмов и типов распараллеливания к другим;
- поддержки разработки аппаратных решений системами автоматизированного проектирования.

Всем этим требованиям отвечают появившиеся в конце XX-го и начале XXI-го века программируемые логические интегральные схемы (ПЛИС) со сверхвысокой степенью интеграции (в английской аббревиатуре FPGA – Filed Programmable Gates Array). В ПЛИС изначально заложены возможности реконфигурирования их внутренней структуры, и поэтому они наилучшим образом соответствуют концепции реконфигурируемых вычислительных систем [9].

Основными преимуществами ПЛИС являются: возможность аппаратной реализации сложных параллельных алгоритмов; наличие эффективных САПР, позволяющих провести полное моделирование системы; возможность программирования или изменения конфигурации непосредственно в системе; совместимость различных проектов при их переводе на языки описания аппаратуры - VHDL, AHDL, Verilog и др.

ПЛИС выпускаются многими фирмами: Xilinx, Altera, Atmel, Vantis, Lucent и др. Ведущим производителем ПЛИС является фирма Xilinx Inc., занимающая более 40% мирового рынка. При этом фирма в среднем каждые 1,5-2 года выпускает на рынок все новые поколения ПЛИС, превосходящие предыдущие поколения по таким показателям, как потребляемая мощность, тактовая частота и функциональные возможности.

На рис. 5 показаны графики, отражающие основные тенденции развития высокопроизводительных ПЛИС фирмы Xilinx.

Как видно, стоимость ПЛИС имеет тенденцию к снижению в абсолютном выражении. Производительность (синий график) практически линейно возрастает. Производительность оценивалась путем размещения в ПЛИС максимально возможного количества 32-разрядных устройств с плавающей запятой стандарта IEEE-754, функционирующих на частоте работы микросхемы. Красный график показывает экспоненциальный рост отношения «Производительность/Стоимость», что, в свою очередь, свидетельствует о росте экономической эффективности элементной базы на основе ПЛИС.

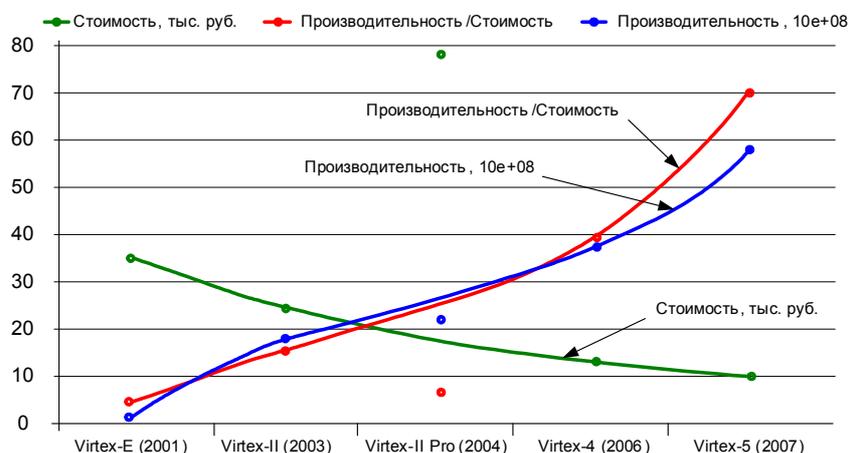


Рис. 5. Основные тенденции развития высокопроизводительных ПЛИС фирмы Xilinx

Таким образом, наличие широких возможностей реконфигурирования, поддержанных удобными САПР, и высокая экономическая эффективность современных ПЛИС позволяют сделать однозначный вывод о том, что они являются наиболее перспективной элементной базой для построения РВС.

Применение ПЛИС большой степени интеграции позволило перейти к созданию больших решающих полей, объединяющих вычислительные ресурсы множества ПЛИС в единый вычислительный ресурс. В этом смысле решающее поле является как бы аналогом сверхбольшой ПЛИС, объединяющей в себе все их аппаратные ресурсы.

Проблема наращивания вычислительного ресурса решается путем модульного построения аппаратных средств РВС и модульной наращиваемости на основе унифицированных базовых модулей. Базовые модули не только позволяют путем комплексирования создавать РВС необходимой производительности, но и сами по себе являются реконфигурируемой вычислительной системой, способной совместно с персональным компьютером (в качестве интеллектуального терминала) решать пользовательские задачи.

### Организация аппаратных средств РВС на основе ПЛИС

Как уже упоминалось, высокопроизводительные РВС целесообразно строить по принципу модульной наращиваемости из однотипных базовых модулей. Базовые модули, с одной стороны вносят конструктивные ограничения, а с другой стороны должны сохранять в полной мере все концептуальные особенности архитектуры реконфигурируемых систем. Для

проблемно-ориентированных РВС определяющим может стать требование обязательной реализации в пределах базового модуля базовых подграфов данной проблемной области. При этом базовый модуль может быть конструктивно реализован на одной или нескольких печатных платах.

Согласно разработанной концепции, базовый модуль на основе ПЛИС несет в себе все характерные признаки завершенной реконфигурируемой системы [4,5,9]. Типовая компоновка базового модуля на основе ПЛИС показана на рис. 6.

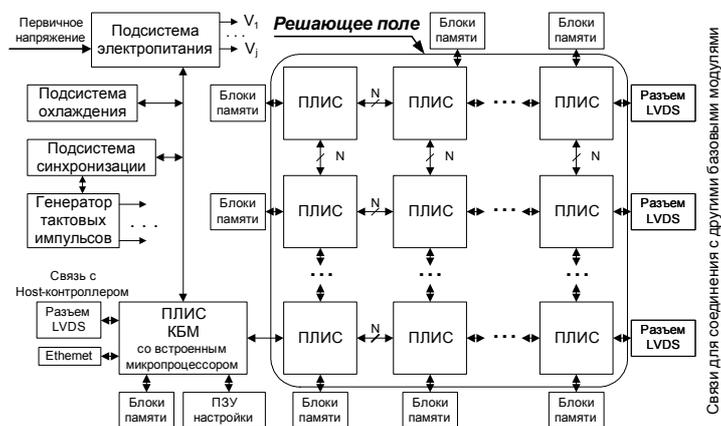


Рис. 6. Структура базового модуля реконфигурируемой системы на основе ПЛИС

Основные вычислительные возможности базового модуля сосредоточены в решающем поле, которое содержит некоторое множество ПЛИС большой степени интеграции. В решающем поле создаются конвейерно-параллельные вычислительные структуры и контроллеры распределенной памяти для управления блоками распределенной памяти, необходимые для решения поставленных задач. При этом сами блоки распределенной памяти выполняются не на ресурсах решающего поля, а на типовых микросхемах статических или динамических ОЗУ необходимого объема и быстродействия. Контроллер базового модуля (КБМ) выполняет функции управления и контроля всех систем базового модуля. На базовом модуле располагаются также и вспомогательные подсистемы: синхронизации, электропитания и охлаждения [5, 9].

Центральное место в организации вычислительного процесса отводится контроллерам распределенной памяти (КРП). КРП работают с фрагментами параллельной программы, которые загружены в их блоки памяти. Исполняя параллельную программу, КРП участвуют в настройке элементарных процессоров на выполнение необходимых операций и в создании необходимых каналов связи между ними, тем самым реализуя в пределах базового модуля мультikonвейерную вычислительную структуру, соответствующую базовому подграфу задачи [4, 9].

Одна часть контроллеров распределенной памяти, исполняя фрагменты параллельной программы, организует и синхронизирует потоки данных, подаваемые в вычислительные структуры. Другая часть контроллеров выполняет функции приема результатов вычислений.

Для создания эффективных вычислительных структур в пределах базового модуля необходимо оптимальное соотношение количества ПЛИС, количества блоков распределенной памяти и их объема. Для различных задач, решаемых на РВС, это соотношение различно. В то же время для структурной реализации вычислений не требуется запоминание множества промежуточных данных, так как они передаются для дальнейшей обработки в последующие ступени конвейерного вычислителя без промежуточного запоминания. Это снижает требования к общему объему памяти на базовом модуле. Для структурной реализации вычислений более критичным является количество блоков распределенной памяти, а не объем каждого блока или общий объем памяти. Помимо распределенной памяти, реализованной на типовых микросхемах ОЗУ, при создании вычислительных структур широко используется внутрикристалльная память ПЛИС.

Принцип модульной наращиваемости позволяет увеличить производительность РВС при увеличении количества базовых модулей. При этом обеспечивается возможность организации ресурсонезависимого и отказоустойчивого программирования, параметризуемого относительно вычислительного ресурса (количества базовых модулей), выделяемого для решения задачи. Задача может быть решена на любой конфигурации вычислительной структуры. Выход из строя одного или нескольких базовых модулей не влечет за собой прекращение решения задачи и необходимость ее полной перетрансляции, а лишь несколько замедляет процесс решения [4,5,6,9].

### Практическая реализация РВС на основе ПЛИС

На основе описанной выше концепции, за последние 5-6 лет, в НИИ МВС ЮФУ был разработан ряд базовых модулей и изделий на их основе. На рис. 7 показаны некоторые базовые модули для РВС на основе ПЛИС Virtex II Pro, Virtex 4 и Virtex 5 фирмы Xilinx производительностью от 20 до 75 Гфлопс [5, 9].

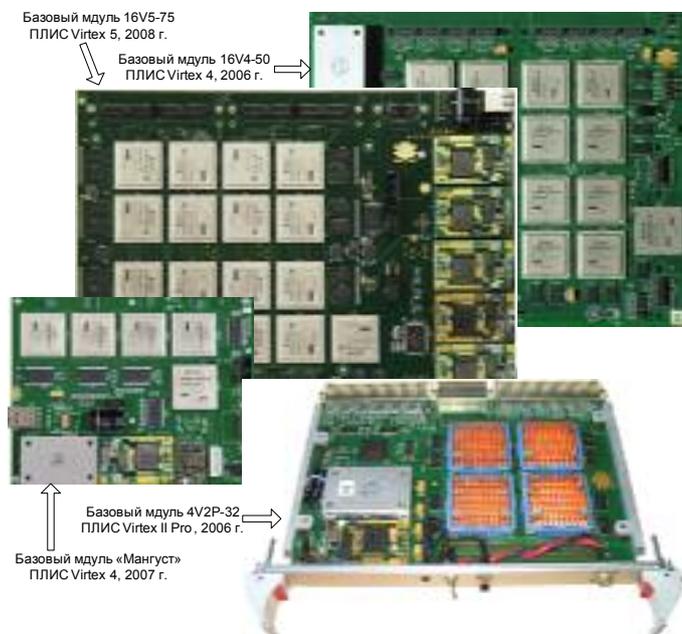


Рис. 7. Базовые модули для РВС на основе ПЛИС семейства Virtex

На основе базовых модулей создан ряд ПВС различной производительности и назначения, из которых два изделия в настоящее время выпускаются серийно (см. рис. 8а и 8б). Это ускоритель персонального компьютера «Мангуст» производительностью 25 Гфлопс (или  $5 \cdot 10^{11}$  оп/с при выполнении операций символьной обработки) и вычислительный блок «Тор» производительностью свыше 200 Гфлопс (или  $2,8 \cdot 10^{13}$  оп/с при обработке чисел укороченной разрядности с фиксированной запятой). Вычислительный блок «Тор» предназначен для построения реконфигурируемых систем терафлопной производительности. Ускоритель показан без верхней крышки.



Рис. 8. Реконфигурируемый ускоритель «Мангуст» (а) и вычислительный блок «Тор» (б)

В качестве примера бортовой ПВС можно привести изделие «Сеанс» показанное на рис. 9.



Рис. 9. Бортовой вычислитель «Сеанс» 2006 г.

Бортовой вычислитель «Сеанс» представляет собой блок электронной обработки сигналов матричного фотоприемного устройства на спектральный диапазон 3-5 мкм и предназначен для преобразования аналоговых сигналов теплового изображения объекта в стандартный видеосигнал в цифровой форме. Использование ПЛИС в качестве элементной базы позволило выполнить все предъявляемые к изделию «Сеанс» требования по производительности, потребляемой мощности и габаритам. Реконфигурируемая элементная база позволяет перестраивать структуру вычислителя не только на уровне каналов

передачи данных, но и на уровне вычислительных блоков, форматов данных, системы команд и т.п., что в свою очередь дает возможность реализовывать различные алгоритмы обработки данных с целью использования таких вычислителей для других применений и на других объектах управления.

Приведем характеристики изделий разработки НИИ МВС ЮФУ, выполненных на основе концепции РВС, в сравнении с изделиями, построенными на основе специализированных микропроцессоров и на основе кластерных многопроцессорных вычислительных систем.

В таблице 1 приведены сравнительные характеристики базового модуля 4V2P-32 и некоторых изделий, на основе универсальных и DSP-микропроцессоров на задачах из области цифровой обработки сигналов.

Таблица 1

Параметр	TigerSHARC ADSP- TS101S	TigerSHARC ADSP- TS201S	PowerPCP M3C7410	PowerPC MPC7455	4V2P-32
Частота (МГц)	250	500	500	1000	200
Количество процессоров на модуле	8	8	4	4	4
Пиковая производительность модуля (Gflops)	12	24	16	32	32
Шина памяти (бит/МГц)	64/83,3	64/100**	64/100	64/133	VME-X 64/160
Количество каналов вв/выв	2PMC+ 16Links	2PMC+ 16Links	2PMC	2PMC	95 LVDS
Пиковая скорость каналов вв/выв (МБ/с)	5056	9056	1056	1056	20000
Пропускная способность каналов вв/выв (Bytes/flops)	0,42	0,38	0,07	0,07	0,64
Количество БПФ1024 в секунду на кристалл	25641	51282	26053	64941	90900
Количество БПФ1024 в секунду на базовый модуль	180000	360000	24000	48000	357000

Сравнительные характеристики РВС «Скиф» (2003 г.) и «Гор» (2007 г.) в сравнении с кластером НИЦЭВТ ЕС-1710.03 (2003 г.) на задачах криптологии показаны в таблице 2.

Таблица 2

Параметр	Кластер НИЦЭВТ ЕС-1710.03, 72 процессора	РВС «Скиф»	РВС «Гор»
Частота (Герц)	$1700 \cdot 10^6$	$50 \cdot 10^6$	$160 \cdot 10^6$
Пиковая произв. Гфлопс. (оп/с)	403,2	$10^{12}$ оп/с	$2,810^{13}$ оп/с *
Ускорение		440	12300

В настоящее время по заданию Федерального агентства по науке и инновациям в рамках Федеральной целевой программы «Исследования и разработки по приоритетным направлениям развития научно-технологического комплекса России на 2007-2012 годы» в НИИ МВС ЮФУ ведется выполнение Государственного контракта по созданию семейства высокопроизводительных многопроцессорных вычислительных систем с динамически перестраиваемой архитектурой на основе реконфигурируемой элементной базы и их математического обеспечения для решения вычислительно трудоемких задач. Целью разработки является создание на единых архитектурных принципах семейства программно-совместимых РВС производительностью от 0,025 до 6 Тфлопс [7, 9].

### **Системное программное обеспечение РВС**

Программирование РВС отличается от программирования МВС традиционной архитектуры, и его можно условно разделить на две составляющие: программирование структурное, которое создает необходимые вычислительные структуры в поле логических ячеек ПЛИС, и программирование процедурное – программирование в традиционном смысле, заключающиеся в организации вычислительного процесса в РВС. При этом программирование вычислительных структур вызывает у пользователей наибольшие трудности [8,9]. Это связано с тем, что традиционно, пользователи привыкли программировать только организацию вычислительного процесса, опираясь на неизменяемую аппаратную поддержку средств вычислительной техники, в то время как для программирования вычислительных структур РВС требуется совершенно другая квалификация, а именно - квалификация схемотехника.

При программировании пользовательской задачи структура РВС приобретает черты специализированной многопроцессорной ЭВМ, которая оптимально соответствует структуре решаемой задачи из предметной области. Это обеспечивает высокую реальную производительность системы, близкую к пиковой производительности на широком классе задач, и позволяет достичь практически линейного роста производительности при наращивании аппаратного ресурса. Эффективность вычислительного процесса при реконфигурации архитектуры РВС на низком (схемотехническом) уровне может быть повышена от 10 до 100 раз по сравнению с вычислительными системами, архитектура которых не может быть изменена. Это делает, с одной стороны, чрезвычайно привлекательными на низком уровне системы, а с другой стороны, их программирование становится по сложности сопоставимым с созданием новой вычислительной системы. Такой подход требует новых методов и средств организации параллельных вычислительных процессов.

Создаваемое в НИИ МВС ЮФУ системное и прикладное программное обеспечение обеспечивает потенциальным пользователям удобство программирования сложных практических задач на РВС и включает: программный комплекс средств разработки прикладных программ, средства администрирования вычислительных ресурсов РВС и служебные программы и драйверы.

Целью создания программного комплекса средств разработки прикладных программ для РВС является предоставление пользователю возможностей, которые позволяют создавать программы без привлечения специальных знаний в области схемотехники ПЛИС и по сложности будут приближены к обычному программированию для многопроцессорных ЭВМ. Основными задачами программного комплекса средств разработки являются эффективная реализация вычислительно трудоемких фрагментов задач различных проблемных областей на произвольном количестве взаимосвязанных кристаллов ПЛИС и произвольном количестве базовых модулей, а также поддержка разработки и отладки прикладных программ на языках структурно-процедурных вычислений, в том числе с вызовом библиотечных функций настройки архитектуры системы и реализации необходимых вычислительных структур на множестве ПЛИС.

Программный комплекс средств разработки прикладных программ для РВС содержит: язык ассемблера Argus v.3.0; язык структурно-процедурного программирования высокого уровня COLAMO v.2.0; интегрированную среду разработки аппаратно-программных решений прикладных задач Argus IDE v.3.0 и поддерживающую языки программирования Argus v.3.0 и COLAMO v.2.0; отладчик параллельных программ на базовых модулях РВС, поддерживающий межмодульные связи; программный интерфейс доступа к вычислительным ресурсам РВС из различных сред программирования; среду разработки вычислительных структур для синтеза масштабируемых параллельно-конвейерных процедур, оперирующую библиотекой схемных решений (IP-ядер).

Язык структурно-процедурного программирования высокого уровня COLAMO [4, 8] обеспечивает синтаксическую поддержку реконфигурации аппаратной платформы РВС и возможность использования элементов библиотеки масштабируемых IP-ядер. Транслятор COLAMO v.2.0 обеспечивает трансляцию исходного кода программы в язык ассемблера Argus v.3.0 и в VHDL посредством среды разработки масштабируемых параллельно-конвейерных процедур Fire!Konstruktor, создавая тем самым конфигурационные файлы для ПЛИС.

Средства администрирования вычислительных ресурсов РВС, необходимые для обеспечения доступа и управления вычислительными ресурсами базовых модулей, состоят из сервера удаленного доступа к вычислительным ресурсам, обеспечивающего обработку удаленных заявок на использование вычислительных ресурсов и поддерживающего очередь заявок с учетом приоритетов пользователей и клиентской части удаленного доступа, обеспечивающей прозрачный с точки зрения пользователя режим доступа и функционирования удаленных базовых модулей системы.

### **Заключение**

Описанные в статье принципы построения высокопроизводительных систем на основе реконфигурируемой элементной базы и создаваемые на этих принципах РВС являются принципиально новым направлением развития высокопроизводительной вычислительной техники. В качестве основного вычислительного элемента в РВС используются не универсальные микропроцессоры, а ПЛИС. Это дает возможность пользователям создавать в базовой архитектуре РВС виртуальные специализированные вычислители,

структура которых адекватна структуре решаемой задачи, что, в свою очередь, обеспечивает высокую эффективность вычислений и близкий к линейному рост производительности при наращивании вычислительного ресурса.

В то же время на описанных принципах могут строиться не только высокопроизводительные вычислительные системы, но и малогабаритные бортовые вычислители, включаемые в различные комплексы управления и навигации. Органически присущий РВС принцип настройки структуры позволяет адаптировать их к различной аппаратуре, путем настройки на конкретные решаемые задачи.

1 В.В. Кульба, Е.А. Микрин, Б.В. Павлов, В.Н. Платонов; под ред. Е.А. Микрина. Теоретические основы проектирования информационно-управляющих систем космических аппаратов. – М.: Наука, 2006. – 579 с.

2 Воеводин В.В., Воеводин Вл.В. Параллельные вычисления. - С.-Петербург: «БХВ-Петербург», 2002. – 599 с.

3. Каляев А.В. Многопроцессорные вычислительные системы с программируемой архитектурой. - М.: Радио и Связь, 1984. - 240 с.

4. Каляев А.В., Левин И.И. Модульно-наращиваемые многопроцессорные системы со структурно-процедурной организацией вычислений. - М.: Янус-К, 2003. – 380 с.

5. Беседин И.В., Дмитренко Н.Н., Каляев И.А., Левин И.И., Семерников Е.А. Семейство базовых модулей для построения реконфигурируемых многопроцессорных вычислительных систем со структурно-процедурной организацией вычислений. // Материалы Всероссийской научной конференции «Научный сервис в сети Интернет: технологии распределенных вычислений», Новороссийск. – М.: Издательство Московского университета, 2006. - С 47-49.

6. Каляев И.А., Левин И.И. Высокопроизводительные модульно-наращиваемые многопроцессорные системы на основе реконфигурируемой элементной базы // Вычислительные методы и программирование. – М.:Изд-во Московского Университета, 2007. - Т.8. - №1. – С. 181-190.

7. Дордопуло А.И., Каляев И.А., Левин И.И., Семерников Е.А. Семейство многопроцессорных вычислительных систем с динамически перестраиваемой архитектурой // Материалы Четвертой Международной научной молодежной школы «Высокопроизводительные вычислительные системы». - Таганрог: Изд-во ТТИ ЮФУ, 2007, 68-74.

8. Левин И.И. Язык параллельного программирования высокого уровня для структурно-процедурной организации вычислений // Труды Всероссийской научной конференции. - М.: Изд-во МГУ, 2000, 108-112.

9. Каляев И.А., Левин И.И., Семерников Е.А., Шмойлов В.И. Реконфигурируемые мультиконвейерные вычислительные структуры. - Ростов н/Д: Издательство ЮНЦ РАН, 2008. - 320 с.

10. Пронин Е.Г., Шохат В.С. Проектирование технических средств ЭВА. – М.: Радио и связь, 1986. – 192 с.

11.Л.Е. Баханов и др.; под ред.Е.А. Федосова. Системы управления вооружением истребителей: Основы интеллекта многофункционального самолета. – М.: Машиностроение, 2005. – 400 с.