

Гуленок А.А.

**СРЕДА РАЗРАБОТКИ МАСШТАБИРУЕМЫХ СТРУКТУРНЫХ
КОМПОНЕНТОВ ДЛЯ РЕКОНФИГУРИРУЕМЫХ
ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ**

*НИИ многопроцессорных вычислительных систем имени академика
А.В. Каляева Южного федерального университета, Таганрог*

E-mail: andrei_gulenok@mail.ru

В настоящее время разработка алгоритмов решения задач на многопроцессорных вычислительных системах (МВС) с реконфигурируемой архитектурой занимает много времени и требует квалифицированных специалистов в области структурного (пространственного) программирования.

Процесс проектирования алгоритма решения задачи для МВС с реконфигурируемой архитектурой включает такие этапы как разбиение вычислительного графа на подграфы, каждый из которых реализуется в отдельной микросхеме МВС, и обеспечение синхронизации вычислительных процессов внутри каждого подграфа и между ними. В настоящее время эти этапы реализуются специалистами в области структурного программирования практически вручную.

Не меньшей проблемой является перенос готового структурного решения задачи для одной МВС на другую МВС с реконфигурируемой архитектурой. Вызвано это тем, что различные МВС с реконфигурируемой архитектурой могут включать в себя различные программируемые логические интегральные схемы (ПЛИС), а также иметь различия в топологиях пространственных связей. В связи с этим этапы разбиения вычислительного графа и синхронизации вычислительных потоков приходится повторять заново для каждой новой платы реконфигурируемой МВС. Так же повторяется этап подключения внешних связей подграфов к выводам ПЛИС, соответствующим выводам смежных микросхем (ПЛИС, контролер обмена, память и др.) из-за различий в топологиях печатных плат.

Для решения указанных проблем спроектирована и создана среда разработки масштабируемых структурных компонентов, которая освобождает структурных программистов от механистических процессов при разработке параллельно-конвейерных процедур для реконфигурируемой МВС.

Для представления вычислительной структуры в среде разработки масштабируемых структурных компонентов выбран бихроматический граф (аналог Сетей Петри), который позволяет с требуемой точностью

представлять ветвящиеся, параллельные и циклические процессы. Элементами этого графа будут являться вычислительные блоки (схемы) и интерфейсы.

Схемы представляют собой функционально законченные вычислительные элементы. Интерфейсы согласовывают потоки данных и управляющие сигналы в вычислительном графе, реализованном в МВС.

Схемы подразделяются на конвейерные и процедурные. Конвейерные элементы имеют параметр «латентность», который обозначает: через сколько тактов после начала работы элемента на выходе появится первый результат. По истечении этого времени, результаты будут выдаваться каждый такт с определённой частотой. Процедурные блоки имеют параметр «задержка результата», который показывает интенсивность выдачи результатов.

Все элементарные вычислительные и интерфейсные блоки вводятся в среду разработки масштабируемых структурных компонентов на основе их описания на языке описания аппаратных решений VHDL.

Масштабируемость вычислительного графа задачи обеспечивается путём задания параметров «Степень распараллеливания» и/или «Число каскадов». Устанавливая необходимые значения при наличии соответствующих интерфейсов можно масштабировать как отдельные элементы вычислительного графа, так и подграфы, вплоть до масштабирования всего графа в целом. Для удобства масштабирования подграфов в среду разработки масштабируемых компонентов введён механизм создания составных вычислительных блоков – компонентов, на которые могут быть наложены параметры распараллеливания и каскадирования.

«Степень распараллеливания» указывает, что подграф исходного вычислительного графа будет повторён в результирующем (развёрнутом) вычислительном графе заданное количество раз. Созданные подграфы будут работать параллельно и информационно независимо друг от друга. Чтобы разделить и объединить потоки данных между новыми параллельными участками вычислительного графа используются, заранее созданные, интерфейсы.

Параметр «Число каскадов» также масштабирует участки вычислительного графа, при этом новые подграфы соединяются последовательно, с помощью соответствующих интерфейсов. При этом указываются выводы элемента, которые будут соединены в соседних элементах в раскрытом вычислительном графе.

Пример использования операции масштабирования подграфа вычислительного графа задачи приведён на рисунке 1.

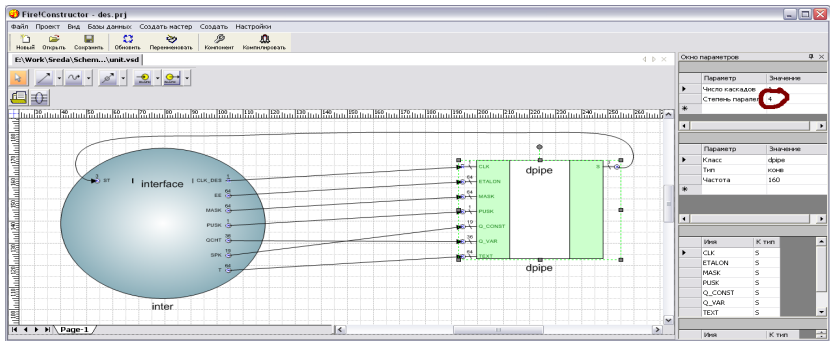


Рисунок 1 – Пример масштабирования подграфа вычислительного графа.

На данном примере элементу «dpipe» задан параметр «Степень распараллеливания». Ему присвоено значение 4. В результате раскрытия вычислительного графа получится развернутый граф со степенью распараллеливания 4. Он представлен на рисунке 2.

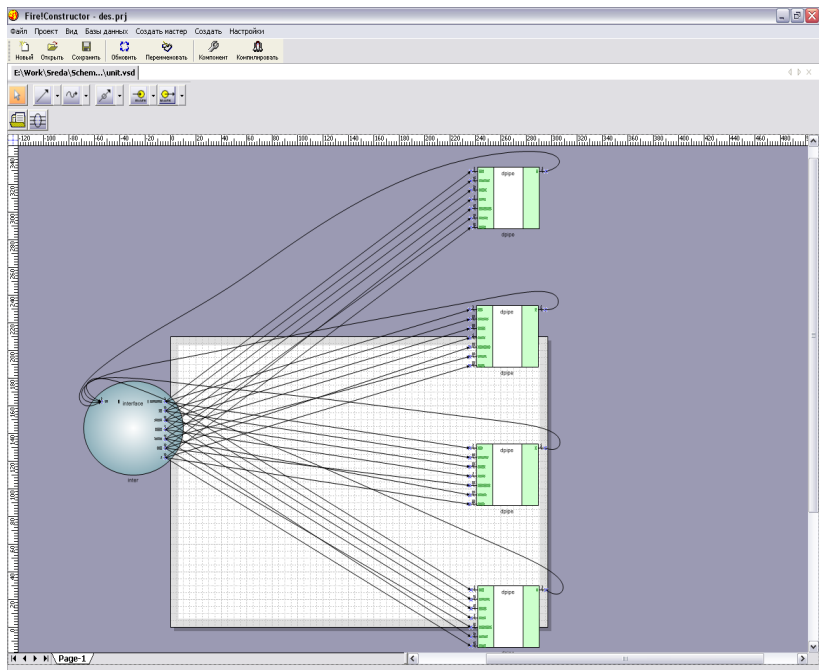


Рисунок 2 – Раскрытый вычислительный граф со степенью распараллеливания 4.

Созданный вычислительный граф с параметрами распараллеливания и каскадирования может быть автоматически отображён на любую плату или реконфигурируемую МВС, содержащую множества ПЛИС и ОЗУ, при условии, что файл описания архитектуры этой платы или МВС в целом, находится в библиотеке архитектур среды разработки масштабируемых структур.

Среда разработки масштабируемых структур содержит утилиту `VMDescriptor`, которая обеспечивает автоматическое подключение файлов, содержащих полный список соединений печатных плат, разработанных с помощью схемного редактора и редактора топологий печатных плат фирмы `Mentor Graphics` или с ними совместимых.

Спроектированный в среде разработки масштабируемых структурных компонентов вычислительный граф задачи укладывается на ресурс выбранной МВС с реконфигурируемой архитектурой. В результате формируется разбиение вычислительного графа на подграфы, каждый из которых реализуется в отдельных микросхемах, при этом автоматически синхронизируются вычислительные потоки, исходя из латентности и задержек элементов.

Полученные подграфы для каждой ПЛИС транслируются в описание на языке `VHDL`. Также для каждой ПЛИС генерируются файлы временных и топологических ограничений (*.ucf). Полученные файлы подключаются в проект интегрированной среды разработки цифровых устройств `ISE` фирмы `XILINX`. С их помощью создаются конфигурационные файлы ПЛИС.

Среда разработки масштабируемых структурных компонентов, благодаря автоматизированию отображения вычислительного графа на архитектуру реконфигурируемой МВС, значительно сокращает время проектирования алгоритма решения задачи и обеспечивает автоматический перенос готового структурного решения задачи с одной реконфигурируемой МВС на другую.